

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04232663 A**(43) Date of publication of application: **20.08.92**

(51) Int. Cl

G11B 20/12
G11B 20/10
G11B 20/10

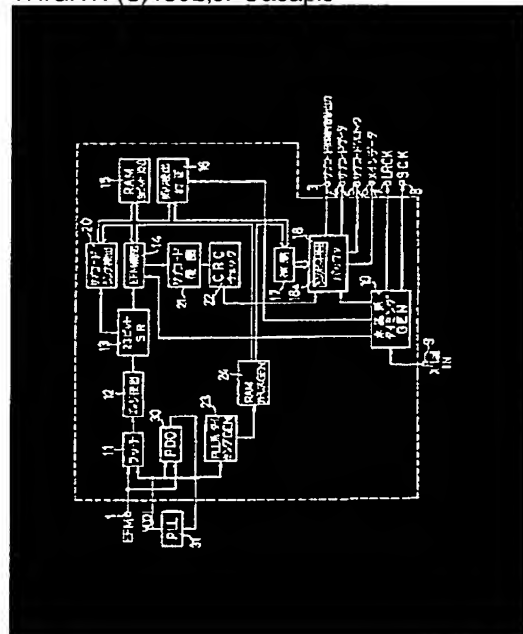
(21) Application number: **02416343**(71) Applicant: **SONY CORP**(22) Date of filing: **28.12.90**(72) Inventor: **MAEDA YASUAKI**(54) **DATA DECODING DEVICE**

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To obtain a data decoding device which can excellently connect main data and withstand strong vibrations by obtaining the synchronizing signal output of auxiliary information based on the detecting timing of a specific mark added to the main data and based on external clock.

CONSTITUTION: A sub-code synchronization detection circuit 20 performs writing/ reading-out on a RAM 15 on the basis of the clock of a PLL system obtained from reproduced signals after adding a specific mark to main data in accordance with the detecting output of the synchronizing signal of sub-codes. Then it is tried to obtain the synchronizing signal output of the sub-codes on the basis of the detecting output of the specific code read out from the RAM 15 and an external clock 19. Therefore, when the main data are divided at the timing of the auxiliary information, a reproducible punctuating point is obtained even when a jitter exists and overlapping or destruction of the main data does not occur.



1

【特許請求の範囲】

【請求項1】 PCMデータを誤り訂正符号化処理したメインデータと共に該メインデータの時間情報を含む補助情報が付加されるフォーマットのデータで記録されたディスクから、当該データが再生され、RAMを用いてこの再生データ内の上記メインデータの復号化処理を行うデータ復号装置において、上記補助情報の同期信号の検出出力に応じて上記メインデータに特定のマークを付加した後、該特定のマークが付加されたメインデータを再生信号から得られたクロックに基づいて上記RAMに対して書込／読出を行い、当該RAMから読み出された上記特定のマークの検出出力と外部クロックとに基づいて、上記補助情報の同期信号出力を得ることを特徴とするデータ復号装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、誤り訂正符号化処理されたデータを復号化するデータ復号装置に関するものである。

【0002】

【従来の技術】 従来より、PCMデータを誤り訂正符号化処理すると共に補助情報を付加して光ディスクに記録するようなフォーマットとしては、例えばいわゆるCIRC（クロス・インターリーブ・リード・ソロモン符号）によってPCMのデジタルオーディオデータ（メインデータ）を誤り訂正符号化処理すると共に、上記補助情報としてサブコードを付加するいわゆるコンパクトディスク（CD）の信号フォーマットが存在する。

【0003】 図5に、上記CDの信号フォーマットを示す。すなわちこの図5の信号フォーマットにおいては、先頭から順に、フレーム同期パターン、サブコード、デジタルオーディオデータ及び誤り訂正に用いるパリティビットで1フレームが構成されている。該1フレームは、フレーム同期パターンに24チャンネルビットと、サブコードに1バイト（1バイトはEFM（8-14変調）により14チャンネルビット）と、各デジタルオーディオデータ及びパリティビットで計32バイトと、上記フレーム同期パターン以降の各バイトの間にそれぞれ接続用の3チャンネルビットとで、全体として588チャンネルビットとなっている。

【0004】 また、図6に示すように、上記サブコードが98個で1ブロック（すなわちフレームが98個分）を構成するようになっている。このブロックの先頭の2つのサブコードには、 S_0 、 S_1 の2つの同期パターンが配され、残りの96フレーム分の各サブコードには、それぞれ1ビット分のいわゆるPチャンネル（ $P_1 \sim P_{96}$ ）、Qチャンネル（ $Q_1 \sim Q_{96}$ ）及びその他の情報が配されるようになっている。上記Pチャンネルは、例えば音楽と音楽の間のいわゆる曲間部分を“1”で示すものである。

2

【0005】 更に、図6のサブコードのみを取り出して説明すると、図7に示すように上記 S_0 、 S_1 の2つの同期パターンを先頭にして96バイトからなる1つのブロックを形成しており、このうち、 $P_1 \sim P_{96}$ と $Q_1 \sim Q_{96}$ がアクセスのために使われている。また、 $R \sim W$ の6ビット分は、静止画や文字表示等の特殊な用途のために用いられるものである。更に、この1サブコードフレームの周波数及び周期は、それぞれ $7.35\text{kHz} \div 98 = 75\text{Hz}$ 及び 13.3msec となっている。

【0006】 上記Qチャンネルは、図8に示すように、上記96フレーム分の96ビットが、コントロール4ビットと、アドレス4ビットと、データ72ビットと、CRC（又はCRCC；巡回符号）16ビットとに分けられている。更に、上記アドレスの4ビットには、（0001）、（0010）、（0011）の3つのケースがあり、残りの2つはメーカーコード等となっている。

【0007】 ここで、上記（0001）すなわち“1”の時、上記72ビットのデータは、図9に示すようなフォーマットとなる。すなわちこの図9に示すフォーマットは、先頭から順に、楽章番号（トラックマーク）と、インデックスマークと、分、秒、フレーム番号による楽章内の経過時間と、0と、分、秒、フレーム番号による絶対時間とで構成されるものである。なお、該絶対時間とは、ディスクに記録されたデータが最初から最後まで再生される場合の経過時間である。

【0008】 ここで、上記フォーマットのCDを従来の再生装置で再生する場合において、ディスクから再生された上記EFM変調された信号（2値信号）からは、先ず、この2値信号に基づくクロックが検出（クロック再生）される。このクロック再生は、通常、PLL（フェイズ・ロック・ループ）の構成により成され、該クロック（以下PLL系クロックとする）の周波数は 4.3218MHz （ $7.35\text{kHz} \times 588$ ）である。上記従来の再生装置においては、当該PLL系クロックによって2値のデータを取り込み、上記EFMの復調が行われる。この時、上記2値のデータからは上記フレーム同期パターンも検出され、該フレーム同期パターンの後の上記サブコードデータの復調が行われる。

【0009】 上記EFM復調後のデータは、上記CIRCに基づく誤り訂正と検出とが行われて、誤ったデータについては訂正が行われる。その後、デジタル／アナログ変換が行われて、アナログのオーディオ信号とされる。

【0010】

【発明が解決しようとする課題】 ところで、上記誤り訂正符号化処理されたデータは、通常、RAMを用いることで復号化されるようになっている。すなわち、RAMの読出アドレスを制御することでインターリーブを解くようにしている。また、一般に、このRAMの書込アドレスは、上記PLL系クロックに基づいて形成されてい

3

るのに対し、読出アドレスは外部回路の水晶発振器からのクロック（以下水晶系クロックとする）が用いられている。

【0011】しかし、上記PLL系クロックは、上述したようにディスクからの再生信号に基づいて形成されているため、通常、モータの回転或いはディスクの偏心等に起因するジッタの影響を受けている。これに対し、上記水晶系クロックにはほとんどジッタ分がないため、上記PLL系クロックと水晶系クロックとではこのジッタ分だけの時間差が存在することになる。

【0012】また、上記デジタルオーディオデータのメインデータは、PCMデータのみで構成されており、該メインデータ自身には時間情報が存在しない。このようなことから、例えば、上述したように時間情報を有するサブコードを用い、このサブコードのタイミングで上記メインデータを区切るようにした場合、上記ジッタのため再現性のある区切りのポイントが得られない。このため、上述したジッタ分だけ、上記RAMのデータがオーバーラップしたり、壊れてしまったりするようになる。すなわち、上記サブコードのタイミングで、メインデータとしてのデジタルオーディオデータを例えば

【0013】更に、例えば、読取エラーやピックアップのフォーカスはずれ等によってデータが得られなくなる場合に対して、上記RAMに記録されたデータを倍速でバースト的に読み出すようにして補償するようなシステムにおいても、上述同様に、メインデータに時間情報がないため、上記サブコードのタイミングで便宜上データをつなぐようにすると、上述のジッタ分だけデータが無くなったりオーバーラップしたりするようになる。

【0014】このようなことから、例えば、再生時に再生装置に振動が加わった場合等には、データのつなぎ不良になり、例えば音とび等が起こるようになる。

【0015】そこで、本発明は、上述の実情に鑑みて提案されるものであって、CDフォーマットで信号が記録されたディスクから読み出されたデータのメインデータのつなぎを、データの欠落、オーバーラップなしで実現することができ、また、振動に対して強いデータ復号装置を提供することを目的とするものである。

【0016】

【課題を解決するための手段】本発明のデータ復号装置は、上述の目的を達成するために提案されたものであり、PCMデータを誤り訂正符号化処理したメインデータと共に該メインデータの時間情報を含む補助情報が付加されるフォーマットのデータで記録されたディスクから、当該データが再生され、RAMを用いてこの再生データ内の上記メインデータの復号化処理を行うデータ復号装置であって、上記補助情報の同期信号の検出出力に

4

応じて上記メインデータに特定のマークを付加した後、該特定のマークが付加されたメインデータを再生信号から得られたクロックに基づいて上記RAMに対して書込／読出を行い、当該RAMから読み出された上記特定のマークの検出出力と外部クロックとに基づいて、上記補助情報の同期信号出力を得るようにしたものである。

【0017】

【作用】本発明のデータ復号装置によれば、補助情報の検出出力に応じてメインデータに特定のマークを付加した後、RAMを用いて復号化すると共に、この特定のマークの検出タイミングと外部クロックとに基づいて補助情報の同期信号出力を得るようにしているため、補助情報とメインデータとが同期して得られるようになる。

【0018】

【実施例】以下、本発明のデータ復号装置の実施例を図面を参照しながら説明する。本発明実施例のデータ復号装置は、図1に示すように、例えばPCMデジタルオーディオデータを誤り訂正符号化（CIRC）処理したメインデータ（オーディオデータ）と共に該メインデータの絶対時間情報を含む補助情報であるサブコードが付加されるフォーマットのデータが記録されたディスクから、上記メインデータとサブコードとが再生され、上記メインデータをRAM15へ書込／読出して上記誤り訂正符号の復号化処理を行うデータ復号装置である。このデータ復号装置において、サブコードシンク検出回路20で上記サブコードの同期信号の検出出力に応じて上記メインデータに特定のマーク（例えばL6n、AとL6n、Bの上位側に1ビット付加してこのビットに“1”を立てる）を付加した後、該特定のマークが付加されたメインデータを再生信号から得られた前記PLL系クロックに基づいて上記RAM15に対して書込／読出を行い、当該RAM15から読み出された上記特定のマークの検出出力と外部クロック（前記水晶系クロック）とに基づいて、上記サブコードの同期信号出力を得るようにしたものである。

【0019】すなわち、この図1において、入力端子1には、例えばCDから光学ピックアップによって読み取られた信号をRFアンプを介して2値化した信号（EFM信号）が供給される。この入力EFM信号は、ラッチ回路11に供給される。ここで、当該ラッチ回路11のクロック入力端子には、リカバークロック（例えば電圧制御発振器（VCO）からの出力VCO1）に基づいて上記入力EFM信号の位相検出を行う位相検出回路（PDO）30と外部回路のPLL回路31とから成るループによって形成されたPLL系クロック（EFMのビットクロック）が、供給されている。このラッチ回路11の出力はエッジ検出回路12に送られ、該エッジ検出回路12からのエッジ情報が23ビットのシフトレジスタに送られる。このシフトレジスタ13は、各段毎に出力を持っており、全23ビットを用いてフレーム同期信号

5

(すなわちEFMの同期信号)の検出を行う。これによりデコーダとしての同期が取られるようになる。なお、上記PLL回路31を本実施例装置内に含む構成とすることも可能である。

【0020】上記23ビットのシフトレジスタ13からは、14ビット分のデータが出力され、EFM復調回路14に送られる。当該EFM復調回路14には、端子9を介して外部回路の水晶発振器から供給される外部クロックに基づいて動作する水晶系タイミング発生回路19からの水晶系クロックが供給されている。したがって、当該EFM復調回路14では、この水晶系クロックに基づいて上記14ビットのデータを通常の8ビットデータに変換(復調)する処理が行われる。この8ビットデータはRAM15に送られる。なお、上記水晶発振器も本実施例装置内に含むようにすることも可能である。

【0021】本実施例装置の上記RAM15における書込/読出アドレスデータは、上記PLL系クロックに基づいて生成されている。すなわち、この書込/読出アドレスデータはRAMアドレス発生回路24で生成されるものであって、当該RAMアドレス発生回路24には、上記PLL系クロックが供給されるPLL系タイミング発生回路23からのタイミングクロックに基づいて動作するようになっている。したがって、当該RAMアドレス発生回路24では、上記PLL系クロックに基づいた上記RAM15の書込/読出アドレスデータが生成されている。また、読出アドレスデータは、上記誤り訂正符号化された上記8ビットデータを復号化(誤り訂正符号化の復号化すなわちインターリーブを解く)するようなアドレスデータとなっている。更に、このRAM15は、上記108EFMフレーム分のデータを蓄積できるものであり、したがって、当該RAM15からは、この108EFMフレーム分毎に、上記インターリーブの解かれたデータが得られるようになる。

【0022】その後、このインターリーブが元に戻されたデータは、誤り検出・訂正回路16に送られる。当該誤り検出・訂正回路16では、図2に示すように、CDフォーマットでの前記CIRCにおける2段のリード・ソロモン符号(C1、C2)のエラー検出と訂正とが行われる。この誤り検出・訂正回路16も上記水晶系クロックに基づいて動作するようになっている。当該誤り検出・訂正回路16でエラーの検出がなされた場合、そのデータに対しては補間回路17により平均値演算又は前置ホールド処理がなされ、その後、バッファ18を介して、パラレル又はシリアルなデータとして出力される。このバッファ18は、上記水晶系クロックに基づいて動作しているものであり、したがって、該バッファ18の出力は該水晶系クロックに基づいたものとなっている。

【0023】また、サブコードのデータは、上記EFM復調回路14によって取り出された後、サブコード復調回路21に送られるようになっている。当該サブコード

6

復調回路21では、サブコード復調が行われた、その後、CRCチェック(巡回符号誤り検出)回路22に送られる。当該CRCチェック回路22で誤り検出がなされた後、上記バッファ18に送られる。

【0024】ところで、このバッファ18においては、上記メインデータと、上記サブコードのデータとの同期が取られるようになっている。このようなことを行うため、本実施例では以下のようなことを行っている。

【0025】すなわち、本実施例においては、前記サブコードのS₀又はS₁(本実施例ではS₁)に続くメインデータの特定の2バイトのそれぞれ上位側に1ビット分付加してこのビットに“1”を立て、この2バイトの“1”と、上記水晶系クロックとに基づいてサブコードの同期をとるようにしている。当該特定の2バイトとしては、図3に示すように、上記EFMフレームの上記サブコードのS₁の後に必ず続いてくるメインデータの2バイトのL6n、AとL6n、Bを用い、この2バイトに上記“1”を立てるようにしている。

【0026】このようなことを行うため、上記シフトレジスタ13からの14ビット出力は、サブコードシンク検出回路20にも送られる。当該サブコードシンク検出回路20では、上記サブコードのS₁を検出する。このサブコードシンク検出回路20からの検出出力は、上記S₁に続く2バイト分のみ“H”となるようなものである。換言すれば、この2バイトは、上記メインデータのL6n、AとL6n、Bに相当するものである。したがって、このサブコードシンク検出回路20の検出出力が上記RAM15に送られることで、当該RAM15に該検出出力と同時に供給されてくる上記L6n、AとL6n、Bの8ビットの上位側に1ビット付加されて9ビットとされ、この9ビットの最上位ビットに“1”が立てられるようになる。このため、このRAM15は、少なくとも処理単位が9ビットのRAMを用いるようになる。

【0027】また、上記サブコードシンク検出回路20は、例えば上記S₁の検出エラーが発生した場合の対策を行うための回路をも有している。すなわち、当該サブコードシンク検出回路20は、上記S₀の検出をも行っており、この時上記S₁の検出エラーが発生したならば、先に検出している上記S₀の後の次のサブコードバイト(すなわち上記S₁を有するサブコードバイト)が来た時に、上述した検出出力に相当する“H”を出力するようになっている。更に、S₀とS₁の両方がエラーとなったときには、このエラー発生以前の出力すなわち前のフレームで検出されたS₀又はS₁に基づくタイミングから13.3ms(1フレーム)後に補間出力(上記検出出力に相当する“H”)を出すようになっている。

【0028】ここで、上記13.3ms毎に一度来る上記L6nの場合、上記9ビットRAM15に供給されるデータには、最上位に“1”が立っていることになる

が、本実施例のRAM15においては、この単位で従来同様のCIRCの復号化処理を行うようしている。すなわち、上記9ビット単位でインターリーブを元に戻す処理を行うようにしている。このRAM15の出力が上記誤り検出・訂正回路16と補間回路17とを介して上記バッファ18に送られる。

【0029】更に、本実施例の上記バッファ18には、シンクビット検出回路18aが配されている。このシンクビット検出回路18aは、上記RAM15の出力の最上位ビット（シンクビット）に“1”が立っていたならば、上記メインデータの2バイトのL6n、AとL6n、Bすなわち図4のL、Rチャンネル切替用のクロックLRCKの一周期にわたって“H”を出力するロジックからなるものである。このため、このシンクビット検出回路18aの出力が上記サブコードの同期信号出力（図4のSBSY）として用いられるようになる。

【0030】したがって、上記バッファ18においては、上記水晶系クロックに基づいてメインデータの読み出しを行うと共に、図4に示した上記サブコードの同期信号出力SBSYを受けて、シフトクロックを上げるようにして、上記CRCチェック回路22からのサブコードのデータを読み出すようにすることで、上記サブコードの前記Qのデータ（SUBQ）や、当該SUBQをCRCしたデータ（CRCF）等を読み取ることができるようになる。上記サブコード同期信号出力SBSYは端子3から出力され、サブコードのQのデータSUBQは端子4から、メインデータは端子6から出力される。

【0031】また、水晶系タイミング発生回路19からは、上記L、Rチャンネル切替用のクロックLRCKが端子7を介して出力され、システムクロックSCKが端子8を介して出力されるようになっている。

【0032】なお、上記図4は、本実施例装置の各部の信号波形を示すものであり、通常は、上記LRCKとSCKに同期してメインデータが出力されている。また、サブコード同期信号出力SBSYは、例えば上記LRCKに同期して出力され、上記S₁のあるEFMフレームの先頭のL6nのデータが出力される時、L6n、R6nの上記LRCKの一周期にわたり出力される。また、上記SUBQやCRCFは、端子5から供給される外部からのクロックSQCKによって読み込まれている。

【0033】上述したように、本実施例においては、サブコードのS₁又はS₀に続く特定のメインデータの2バイトのそれぞれ最上位に1ビット分付加してこのビットに“1”を立て、これを9ビットRAM15に書込／読出してインターリーブを解いた後、この最上位の“1”を検出してこれに基づいてサブコードの同期信号出力SBSYを得るようにしているため、メインデータとサブコードとを同期させることができるようになっている。また、バッファ18は水晶系クロックに基づいて動作しているため、上記メインデータとサブコードと

は、この水晶系クロックに同期したものとなっている。このようなことから、サブコードのタイミングで上記メインデータを区切るようにした場合に、ジッタが存在しても、メインデータがオーバーラップしたり、壊れてしまったりすることがない。すなわち、このサブコードのタイミングでメインデータを区切った場合でも、再現性のある区切りのポイントを得ることができる。また、例えば、読取エラーやピックアップのフォーカスはずれ等によってデータが得られなくなる場合に対して、上記RAMに記録されたデータを倍速でバースト的に読み出すようにして補償するようなシステムにおいても、メインデータが無くなったりオーバーラップしたりするようなことはない。更に、メインデータと補助情報の読み取りは見かけ上従来と同様にすることができる。このようなことから、例えば、再生時に再生装置に振動が加わった場合でも、例えば音とび等が起こることがなく、耐震性の高い再生装置を得ることができるようになる。

【0034】本実施例では、上述したように補助情報としてのサブコードの例えばS₁が存在するEFMフレームの先頭サンプル値（メインデータ）のL6nの出力時に、サブコード同期信号を出力するようにした例について述べているが、このサブコードのS₁や先頭サンプル値のL6nは、他のものであってもよく、再現性のあるものであればよい。

【0035】また、上述の実施例では、メインデータの最上位ビット（L6n）をサブコード同期信号出力用のフラグとして用いる例を示したが、その他、例えば、上記RAM15の読み出し制御時において、上記補間回路17での補間の際の補間ポイントのバイトを用いることも考えられる。すなわち、この補間回路17においては、サンプル値が補間値であることを示す補間ポイントがあり、これは通常8ビットの内1ビットしか使用されていないものである。このため、この使用されていない7ビットの内の1ビットを上記サブコード同期信号出力用フラグとして用いることができる。

【0036】更に、サブコードとこのサブコード同期信号出力とを従来と同じタイミングで出力するようなモードと、本実施例のようなタイミングで出力するモードとを切換可能に構成することも可能である。

【0037】

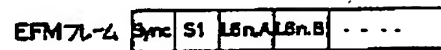
【発明の効果】上述のように、本発明のデータ復号装置においては、補助情報の検出出力に応じてメインデータに特定のマークを付加した後、RAMを用いて復号化すると共に、この特定のマークの検出タイミングと外部クロックとに基づいて補助情報の同期信号出力を得るようにしているため、補助情報とメインデータとが同期して得られるようになり、例えば、補助情報のタイミングで上記メインデータを区切るようにした場合に、ジッタが存在しても再現性のある区切りのポイントを得ることができ、メインデータがオーバーラップしたり、壊れてし

10

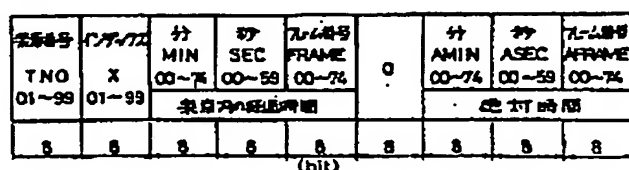
- 1 1 ラッチ回路
- 1 2 エッジ検出回路
- 1 3 シフトレジスタ
- 1 4 EFM復調回路
- 1 5 RAM
- 1 6 誤り検出・訂正回路
- 1 7 補間回路
- 1 8 バッファ
- 1 8 a シンクビット検出回路
- 1 9 水晶系タイミング発生回路
- 2 0 サブコードシンク検出回路
- 2 1 サブコード復調回路
- 2 2 CRCチェック回路
- 2 3 PLL系タイミング発生回路
- 2 4 RAMアドレス発生回路
- 3 0 位相検出回路

【図6】サブコードフレームを示す図である。

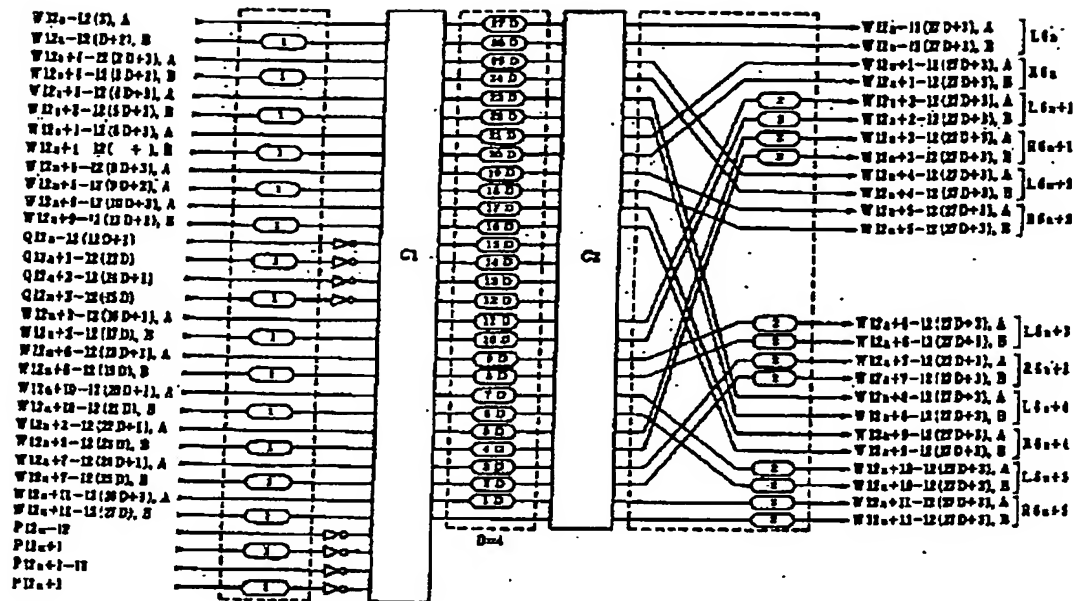
【図 3】

[illegible]

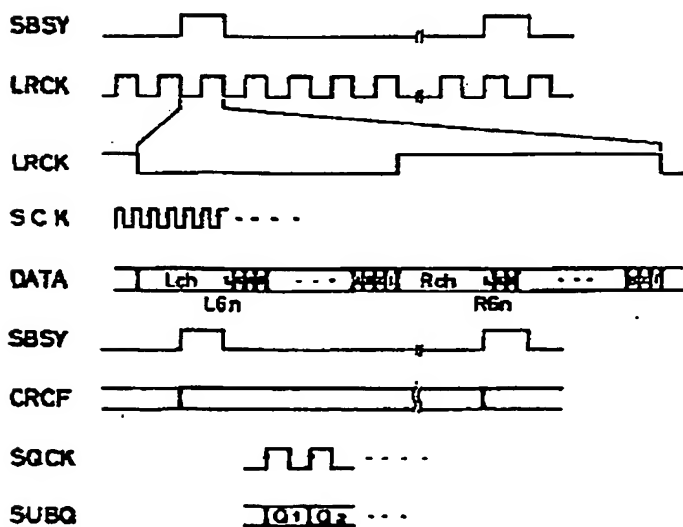
【圖 9】



【図2】



【図4】



【図6】

